

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-260629

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/146			H 0 1 L 27/14	A
31/10			31/10	A

審査請求 未請求 請求項の数1 O L (全 8 頁)

(21) 出願番号 特願平8-70462

(22) 出願日 平成8年(1996)3月26日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 阿部 秀司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 山根 淳二

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 増幅型固体撮像素子の製造方法

(57) 【要約】

【課題】 増幅型固体撮像素子の製法において、画素領域での配線構造の簡素化、画素特性の均一化を図る。

【解決手段】 ゲート電極を形成する前に、同一のマスクを用いてソース領域39及びドレイン領域40と、ソース領域39及びドレイン領域40下の不純物領域41及び42とをイオン注入でセルフアライン的に形成し、その後、ゲート電極とゲート電極同士を繋ぐ配線層45を同一の導電層をパターンニングして形成する。そしてチャネル領域外のこの配線層45に他の配線を接続する。

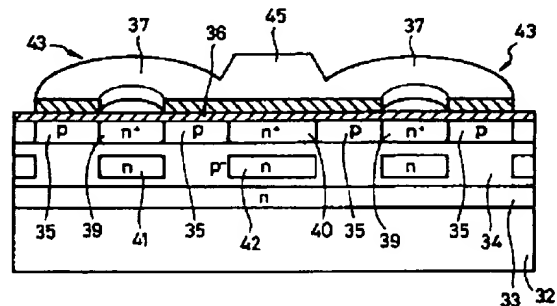


図1の要部の断面図

1

【特許請求の範囲】

【請求項1】 画素領域に同一のマスクを用いて画素のソース領域及びドレイン領域と、該ソース領域及びドレイン領域下の不純物領域とをイオン注入によりセルフアライン的に形成する工程と、

前記ソース領域及びドレイン領域を形成した領域上に導電層を形成し、該導電層をパターンニングして画素のゲート電極と該ゲート電極同士を繋ぐ配線層とを同時に形成する工程と、

前記配線層に他の配線を接続する工程を有することを特徴とする増幅型固体撮像素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、増幅型固体撮像素子の製造方法に関する。

【0002】

【従来の技術】近年、固体撮像素子の高解像度化の要求に従って、CCD固体撮像素子に代わってスミアが無く、微細画素の実現が可能である増幅型固体撮像素子が開発されている。この増幅型固体撮像素子は、画素毎に光信号を増幅するためのMOS型トランジスタを備え、画素に光電変換により蓄積された電荷をトランジスタの電流変調として信号を読み出すように構成される。

【0003】

【発明が解決しようとする課題】図8及び図9は、先に提案した増幅型固体撮像素子の比較例を示す。この増幅型固体撮像素子1は、図9に示すように、第1導電型例えばp型のシリコン半導体基板2上に第2導電型即ちn型の半導体領域、即ちオーバーフローバリア領域3及びp型の半導体ウェル領域4が形成され、このp型半導体ウェル領域4上にSiO₂等によるゲート絶縁膜5を介して光を透過しうる環状のゲート電極6が形成され、この環状のゲート電極6の中心孔及び外周に対応する領域にn型のソース領域7及びドレイン領域8が形成されると共に、之等領域7及び8下のp型半導体ウェル領域4内にソース及びドレイン領域と同導電型、即ちn型の不純物領域9及び10が形成され、ゲート電極6下のチャネルに対応する領域にp型半導体ウェル領域4より不純物濃度の高いp型の電荷蓄積ウェル領域、いわゆるセンサウエル領域12が形成され、ここに画素となるMOS型トランジスタ（以下、画素MOSトランジスタと称する）13が構成される。環状のゲート電極6は、光をできるだけ吸収しないように薄い、透明の材料が選ばれ、この例では薄膜の多結晶シリコンが用いられる。

【0004】この画素MOSトランジスタ13が、図8に示すように、複数個マトリックス状に配列され、水平方向に隣り合う2つの画素MOSトランジスタ13の環状のゲート電極6に、之等にまたがるように第1配線材からなる例えばV字型の画素間配線層15が接続される。そして、画素MOSトランジスタ13の各行間に対

2

応する位置で画素間配線層15に接続する第2配線材による垂直選択線17が水平方向に沿って配される。

【0005】また、各列に対応する画素MOSトランジスタ13のソース領域7に、垂直方向に沿って形成された第3配線材による共通の信号線16が接続される。さらに、画素間配線層15にまたがらない画素MOSトランジスタ13間に、信号線16に平行するように、ドレイン領域8に接続した第3配線材によるドレイン電源線18が形成される。

【0006】20は画素間配線層15とゲート電極6とのコンタクト部、21は画素間配線層15と垂直選択線17とのコンタクト部、22はソース領域7と信号線16とのソースコンタクト部、23はドレイン領域8とドレイン電源線18とのドレインコンタクト部である。尚、24は画素MOSトランジスタ13が形成されている画素領域を示す。

【0007】この画素MOSトランジスタ13では、環状のゲート電極6を透過した光がシリコン中で光電変換して電子-正孔を発生し、このうちの一方の電荷、この例では正孔が信号電荷として環状のゲート電極6下のセンサウエル領域12内に蓄積される。垂直選択線17を通して環状のゲート電極6に高い電圧が印加され、画素MOSトランジスタ13がオンされると、ドレイン電流（いわゆるチャネル電流）が表面のチャネルに流れ、このドレイン電流が信号電荷により変化を受けるので、このドレイン電流を信号線16を通して出力し、その変化量を信号出力とする。

【0008】信号電荷（正孔）が蓄積されるセンサウエル領域12は、浅いソース領域7及びドレイン領域8と、深い不純物領域9及び10と、さらに之より深いオーバーフローバリア領域3によって電位的に囲まれる。大光量を受光した時の余分な蓄積電荷は、オーバーフローバリア領域3を通して基板2側に排出される。赤色の感度を得るため、オーバーフローバリア領域3は数μmの深い位置に形成されることが普通である。

【0009】それゆえ、深い不純物領域9及び10は、浅いソース領域7及びドレイン領域8と、オーバーフローバリア領域3に電位的に繋がってはいなくてはならない。即ち、ドレイン領域8の下方の不純物領域10は、光電変換した電子と正孔のうちの非蓄積側の電荷（この側では電子）を浅いドレイン領域8に逃がすことと、蓄積電荷が隣接する画素に漏れ出ることを防止する、即ち隣接画素とのブルーミング防止のための電位障壁（ポテンシャルバリア）の役をしている。

【0010】通常、浅いソース領域7及びドレイン領域8は、ゲート電極6をマスクにセルフアライン的に形成される。一方、深い位置のn型不純物領域9及び10は、ゲート電極6が薄くイオン注入のマスクとならないため、別のレジストマスクを介してゲート電極6の形成前にイオン注入によって形成される。

50

【0011】ところで、上述した比較例の増幅型固体撮像素子1においては、画素MOSトランジスタ13を構成するゲート電極6が、必然的に1画素毎に電気的に分離されるため、チャネル領域11のゲート電極6上にコンタクト部20の開口を設け、配線しなければならない。配線のレイアウトの関係上、まず画素間配線層15を形成した後、水平方向に垂直選択線17を形成している。

【0012】そして、ソース領域7とドレイン領域8に夫々接続される信号線16及びドレイン電源線18は、夫々垂直方向にそって形成されるため、構造的に3層配線となり、複雑な構造となる。また、光学的にも配線間の乱反射が多く、感度むらとなったり、段差も大きいため加工し難いという問題点があった。

【0013】特に、チャネル電流やセンサウエル領域12の真上にコンタクト孔を開けざるを得ない斯る構造では、以下の問題が実用上大きな障害であった。

【0014】ゲート電極6とのコンタクト部20下では、画素間配線層15の第1配線材との仕事関数差や、コンタクト孔のエッチング時のプロセスダメージによる酸化膜中電荷の発生などによって、チャネルポテンシャルが局所的に変化してしまい、画素毎の特性にばらつきが発生し、これにより閾値電圧 V_{th} むらが生じ、固定パターンノイズを悪化し、画質劣化を生じさせていた。

【0015】また、 $1\mu m$ 長以下のゲート電極6にコンタクトするため、 $0.5\mu m$ の小さいコンタクト開口でも、合わせ余裕が $0.25\mu m$ しかなく、製造ばらつきのため歩留りが上がらない等の問題があった。この加工上の問題は、画素を微細化する上での大きな障害となっている。

【0016】一方、上述の比較例の増幅型固体撮像素子1では、画素MOSトランジスタ13における浅いソース領域7及びドレイン領域8と深い不純物領域9及び10とが合せずれを起こしてしまう。合せずれが生じると、環状に形成されているセンサウエル領域12の電位に偏りが発生し、蓄積電荷の分配が画素内で不均一となると同時に、チャネルを流れる電流も均一でなく偏る。

【0017】その結果、得られる電気信号にばらつきが生じる。そのため、増幅型固体撮像素子にとって、浅いソース領域7及びドレイン領域8と深い不純物領域9及び10とをセルフアライン的に形成しなければならない。しかし、深い位置の不純物領域9及び10の形成は高いエネルギーでイオン注入しなければならない、薄いゲート電極6ではセルフアラインのマスクにできないという問題がある。

【0018】本発明は、上述の点に鑑み、配線構造の簡素化、画素特性の均一化等を可能にした増幅型固体撮像素子の製造方法を提供するものである。

【0019】

【課題を解決するための手段】本発明に係る増幅型固体

撮像素子の製造方法は、ゲート電極を形成する前に、同一のマスクを用いてソース領域及びドレイン領域と、このソース領域及びドレイン領域下の不純物領域とをイオン注入でセルフアライン的に形成し、その後、ゲート電極とゲート電極同士を繋ぐ配線層を同一の導電層をパターンニングして形成する。そして、チャネル領域外のこの配線層に他の配線を接続する。

【0020】この製法においては、ソース領域及びドレイン領域と、その下の不純物領域とがセルフアライン的に形成されるので、ソース領域及びドレイン領域とその下の不純物領域との合せずれがなくなる。そして、画素同士を繋ぐ配線層をゲート電極と同じ導電層で一体に形成するので、全体として配線構造を簡素化して高歩留りで安定して増幅型固体撮像素子が製造できる。また、このゲート電極同士を繋ぐ配線層に他の配線を接続することにより、ゲート電極のチャネル領域上へのコンタクトがなくなる。従って、均一な画素特性を有する優れた画質の増幅型固体撮像素子を製造できる。

【0021】

【発明の実施の形態】本発明に係る増幅型固体撮像素子の製造方法は、画素領域に同一のマスクを用いて画素のソース領域及びドレイン領域と、このソース領域及びドレイン領域下の不純物領域とをイオン注入によりセルフアライン的に形成する工程と、ソース領域及びドレイン領域を形成した領域上に導電層を形成し、この導電層をパターンニングして画素のゲート電極とこのゲート電極同士を繋ぐ配線層とを同時に形成する工程と、配線層に他の配線を接続する工程を有する。

【0022】以下、図面を参照して本発明の実施例について説明する。

【0023】図1及び図2は、本発明による増幅型固体撮像素子の一例を示す。本例に係る増幅型固体撮像素子31は、第1導電型例えばp型のシリコン半導体基板32上に第2導電型即ちn型の半導体層、即ちオーバーフローバリア領域33及びp型半導体ウエル領域34が形成され、さらにチャネルを構成するp型の電荷蓄積ウエル領域、いわゆるセンサウエル領域35が形成され、このセンサウエル領域35上に SiO_2 等によるゲート絶縁膜36を介して光を透過する環状のゲート電極37が形成され、この環状のゲート電極37の中心孔及び外周に対応してn型のソース領域39及びドレイン領域40が形成されると共に、之等ソース領域39及びドレイン領域40下のp型半導体ウエル領域34内にn型の不純物領域41及び42が形成されて1画素となる画素MOSトランジスタ43が構成される。

【0024】そして、本例では、特に、隣り合う画素MOSトランジスタ43のゲート電極37、37がゲート電極37から之と一体にドレイン領域40の絶縁膜上を延長する画素間配線層45によって接続される。ゲート電極37と画素間配線層45は同一電極材料によって同

時のパターンニングで構成される。

【0025】n型不純物領域41及び42は、夫々浅いソース領域39及びドレイン領域40とオーバーフローバリア領域33間を電位的に繋がるように形成される。例えば、n型不純物領域41及び42は、夫々ソース領域39及びドレイン領域40からオーバーフローバリア領域33に亘って形成してもよく、或は、ソース領域39及びドレイン領域40からオーバーフローバリア領域33に亘ってポテンシャルデップが形成されないように、ソース領域39及びドレイン領域40とオーバーフローバリア領域33の中間に形成するようにしてもよい。

【0026】n型不純物領域41及び42の不純物濃度は、ソース領域39及びドレイン領域40の不純物濃度より低く、オーバーフローバリア領域33の不純物濃度より高く設定される。

【0027】特に、ドレイン領域40下の不純物領域42は、前述の図8及び図9で説明したと同様に、光電変換した電子と正孔のうち非蓄積側の電荷（本例では電子）を浅いドレイン領域40に逃がすことと、隣接画素とのブルーミング防止（即ち隣接画素に蓄積電荷（本例では正孔）が漏れ出るを防止するため）の電位障壁（ポテンシャルバリア）、いわゆるチャネルストップ領域としての役をなす。

【0028】一方、p型半導体基板32、p型半導体ウエル領域34及びp型センサウエル領域35の不純物濃度関係は、センサウエル領域35が最も高く、次いでp型半導体基板32、p型半導体ウエル領域34の順に低くなっている。

【0029】環状のゲート電極37は、光をできるだけ吸収しないように薄いか、透明の材料が選ばれ、例えば多結晶シリコン、タングステンボリサイド、タングステンシリサイド等を用いる。本例では透光性のよい薄膜の多結晶シリコンが用いられる。

【0030】この画素MOSTランジスタ43が、図1に示すように、複数個マトリックス状に配列され、各列に対応する画素MOSTランジスタ43のソース領域39が垂直方向に沿って形成された例えば第1層A1による共通の信号線51に接続され、この信号線51と直交するように画素MOSTランジスタ43の各行間に対応する位置に例えば第2層A1による垂直選択線52が水平方向に沿って形成され、この垂直選択線52とゲート電極37から一体に延びる画素間配線層45とが接続される。

【0031】さらに、画素間配線層45によって接続されない画素MOSTランジスタ43間に、ドレイン領域40に接続した例えば第1層A1によるドレイン電源線53が形成される。55はドレイン電源線53とドレイン領域40とのドレインコンタクト部、56はソース領域39と信号線51とのソースコンタクト部、57は画

素間配線層45と垂直選択線52とのコンタクト部である。尚、図1において、58は画素MOSTランジスタ43が配列されている画素領域を示す。

【0032】この増幅型固体撮像素子31の動作は、前述と同様であり、環状のゲート電極37を通過した光が光電変換して一方の電荷、即ち正孔hがゲート電極37下のセンサウエル領域35内に蓄積される。そして、垂直選択線52を通して環状のゲート電極37に高い電圧が印加され、画素MOSTランジスタ43がオンされると、ドレイン電流（いわゆるチャネル電流）がセンサウエル領域35の表面のチャネルに流れ、このドレイン電流が信号電荷hにより変化を受けることによって、このドレイン電流を信号線51を通して出力し、その変化量を信号出力とする。

【0033】上述した増幅型固体撮像素子31においては、隣接するゲート電極37同士を接続する画素間配線層45がゲート電極37自身からの延長部分によって形成されるので、前述した図9のゲート電極と別体に形成した画素間配線層が省略され、第1層A1配線と第2層A1配線の2層配線で済む。従って配線構造が簡素化されると共に、光学的にも配線間の乱反射も低減し、感度むらが減る。

【0034】ゲート電極37にコンタクト部がないので、光学的にも開口率の高い画素構造を実現できる。ゲート電極37とのコンタクトが無いため、ゲート電極、従って画素の更なる微細化が可能となる。

【0035】チャネル領域上のゲート電極37にコンタクトがないため、チャネルポテンシャルの局所的な変化が解消され、画素毎の特性が均一となる。従って、画質向上が図れる。

【0036】次に、上述の増幅型固体撮像素子31の製造方法の一例を説明する。

【0037】本例においては、図3Aに示すように、p型シリコン基板32上にn型のオーバーフローバリア領域33、p型半導体ウエル領域34を例えばイオン注入で順次形成し、さらにp型のセンサウエル領域35を例えばイオン注入で形成した後、センサウエル領域35の表面に例えばSiO₂等による絶縁膜64を形成する。

【0038】次に、図3Bに示すように、画素のチャネル形状、即ち環状のゲート電極の形状にパターンニングしたレジスト層60をマスクに、オーバーフローバリア領域33と同導電型、即ちn型の第1の不純物61のイオン注入で浅いソース領域39及びドレイン領域40を形成し、同じレジスト層60をマスクにn型の第2の不純物62のイオン注入で深い位置にn型の不純物領域41及び42を形成する。これによってソース領域39及びドレイン領域40と之に対応する不純物領域41及び42とはセルフアライン的に形成される。同時に、チャネル形状と電荷蓄積用のセンサウエル領域35は、セルフアライン的に形成され、均一な画素特性が得られる。

【0039】次に、イオン注入やレジスト層60で汚れた絶縁膜64をウエットエッチングで除去した後、図4Cに示すように、 SiO_2 等による画素トランジスタのゲート絶縁膜36を形成し、このゲート絶縁膜36上にゲート電極材料層、例えば多結晶シリコン膜37Aを10nm〜数100nm程度成長する。

【0040】なお、レジストで汚れた絶縁膜64上の汚染を除去する洗浄を行えば、再酸化せずに、そのまま絶縁膜64をゲート絶縁膜36として用いることもできる。多結晶シリコン膜37Aは、同時に不純物をドーピングしながら成長するドーパド多結晶シリコンか、多結晶シリコンを成長した後でリンを拡散させて導体としても良い。

【0041】次いで、この多結晶シリコン膜37A上に、リソグラフィ技術を用いて隣り合う2つのゲート電極と之等ゲート電極を繋ぐ画素間配線層（即ちチャネル外にコンタクトをとるための引き出し配線層）とを一体とした形状に対応したパターンのレジスト層65を形成する。このレジスト層65のゲートパターンに対応する部分は少なくともチャネル領域を完全に覆い、更に合

【0042】次に、図4Dに示すように、レジスト層65をマスクにドライエッチングにより多結晶シリコン膜37Aをパターンニングして、隣り合う画素のゲート電極37、37同士と、之等を繋ぐ画素間配線層45を同時に形成する。これによって画素のゲート電極37、37同士が接続されて画素MOSTランジスタ43を形成す

【0043】以後、ソース領域37に接続する信号線51、ドレイン領域40に接続するドレイン電源線53及び画素間配線層45に接続する垂直選択線52を配線して図1に示す目的の増幅型固体撮像素子31を得る。

【0044】上述の製法によれば、ゲート電極37を形成する多結晶シリコン膜37Aの加工パターンを、画素の電荷蓄積特性や、チャネル電流特性から完全に独立して、自由な形に形成することが可能となる。つまり、ゲート電極37自身を延長し、その延長部を画素間配線層45として用いるため、配線層数が少なくなり、製造工程が減り、段差が減り、高歩留りで安定した製造を可能にする。同時に、自由度の大きい配線の取り方を可能にする。即ち後述の他の実施例からも明らかなように配線のレイアウトが自由になり、より微細な画素の形成に適する。

【0045】ゲート電極37に、画素間配線層45とのコンタクト部がないようにゲート電極37と画素間配線層45とを同一材料で一体に形成したので、画素の光学的な開口率を高くすることができ、また、チャネルポテ

ンシャルの局所的な変化を解消することができる。

【0046】ゲート電極37と画素間配線層45を同一材料で一体に形成することで、画素の更なる微細化を可能にする。

【0047】また、同一のマスクを用いてイオン注入により、ソース領域39及びドレイン領域40と、深い不純物領域41及び42とをセルフアライン的に形成することができる。従って、画素特性バラツキの原因の1つであるソース領域39及びドレイン領域40と、深い不純物領域41及び42の合せずれによるチャネルポテンシャルの不均一性を低減することができる。

【0048】図5〜図7は、夫々本発明に係る増幅型固体撮像素子の画素領域での配線レイアウトの他の例を示す。

【0049】図5の実施例は、水平方向の画素MOSTランジスタ43のゲート電極37を全て繋ぐように、ゲート部（いわゆるチャネル領域）を全て覆う幅広の共通電極、即ちゲート電極37と画素間配線層45を兼ねる共通電極71を形成して構成する。その他は、図1と同様の信号線51、垂直選択線52及びドレイン電源線53が形成される。

【0050】この構成では、ゲート電極37となる多結晶シリコン膜を加工する際の水平方向の合せずれに余裕がとれる。即ち、ゲート電極37の水平方向の合せずれを回避できる。

【0051】図6の実施例は、総画素数の少ないとき、或はフレームレートの遅い時など、ゲート電極配線の伝搬遅延が問題とならない場合に適する例であり、図示するように、水平方向の画素MOSTランジスタ43のゲート電極37を全て繋ぐように、ゲート部を全て覆う共通電極、即ちゲート電極37と画素間配線層45を兼ねる共通電極72を形成し、その共通電極72の画素領域58の外部に導出された端部において他の配線73とコンタクトして構成することができる。この構成では共通電極72がいわゆる垂直選択線を兼ねることになる。他の信号線51とドレイン電源線53は、図1と同様に配線される。

【0052】この構成によれば、1層の共通電極72でゲート電極37と画素間配線層45と垂直選択線52の配線が実現でき、配線構造がより簡素化される。

【0053】さらに、図7の実施例は、各画素共通のドレインの抵抗が問題とならない場合に適した例であり、図示するように、水平方向の画素MOSTランジスタ43のゲート電極を繋ぐように、ゲート部を全て覆う同一幅の帯状共通電極、即ち、ゲート電極37及び画素間配線層45を兼ねる共通電極74を形成し、その共通電極74の画素領域58の外部に導出された端部において、配線75を接続し、更にドレイン領域に対して画素領域58の端部において電源線76を接続して構成する。

【0054】この構成によれば、図1で示すA1による

ドレイン電源線53が省略され、更に配線構造を単純化することができ、また、光学的にサンプリング周期が一樣となり優れる。画素の開口（即ち受光するゲート電極の面積）も大きくなる利点を有する。

【0055】上記図5～図7の共通電極71、74は、図4Cの多結晶シリコン膜37Aをパターニングするときのレジスト層65のパターンを変更することにより、容易に形成することができる。

【0056】尚、上例では画素MOSTランジスタ43としてnチャネル型について説明したが、pチャネル型

【0057】

【発明の効果】本発明に係る増幅型固体撮像素子の製造方法によれば、配線層数を少なくできるので、段差が少なく、且つ工程数が減り、この種の固体撮像素子を高歩留りで安定して製造することができる。

【0058】配線層数が少なく配線構造が簡素化された画素領域を形成することができ、また、光学的にも開口率の高い画素トランジスタが得られる。

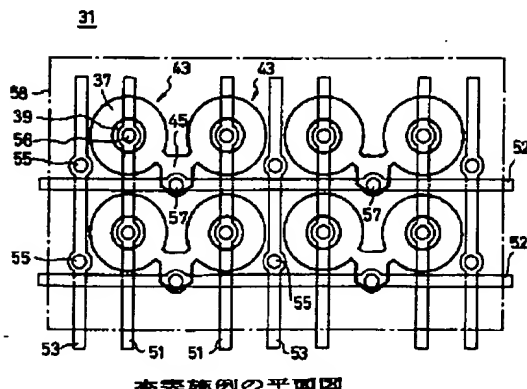
【0059】ゲート電極自身で配線層を形成するので、配線のレイアウトの自由度が大きくなり、より微細な画素の形成を可能にする。

【0060】ソース領域及びドレイン領域と、之等の下の不純物領域とをセルフアライン的に形成することができ、画素特性バラツキの原因の一つである合せずれによるセンサポテンシャルの不均一性を低減することができる。

【0061】チャネル領域外でコンタクトされるので、即ちゲート電極にはコンタクト部がないため、均一な画素特性を実現でき、優れた画質の増幅型固体撮像素子を製造できる。

【図面の簡単な説明】

【図1】



【図2】

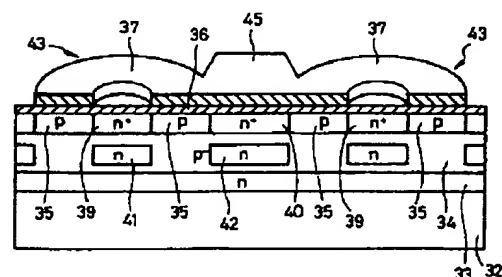


図1の要部の断面図

【図1】本発明に係る増幅型固体撮像素子の一例を示す平面図である。

【図2】図1の画素MOSTランジスタの部分の断面図である。

【図3】A 本発明に係る増幅型固体撮像素子の製造工程図である。

B 本発明に係る増幅型固体撮像素子の製造工程図である。

【図4】C 本発明に係る増幅型固体撮像素子の製造工程図である。

D 本発明に係る増幅型固体撮像素子の製造工程図である。

【図5】本発明に係る増幅型固体撮像素子の他の例を示す平面図である。

【図6】本発明に係る増幅型固体撮像素子の他の例を示す平面図である。

【図7】本発明に係る増幅型固体撮像素子の他の例を示す平面図である。

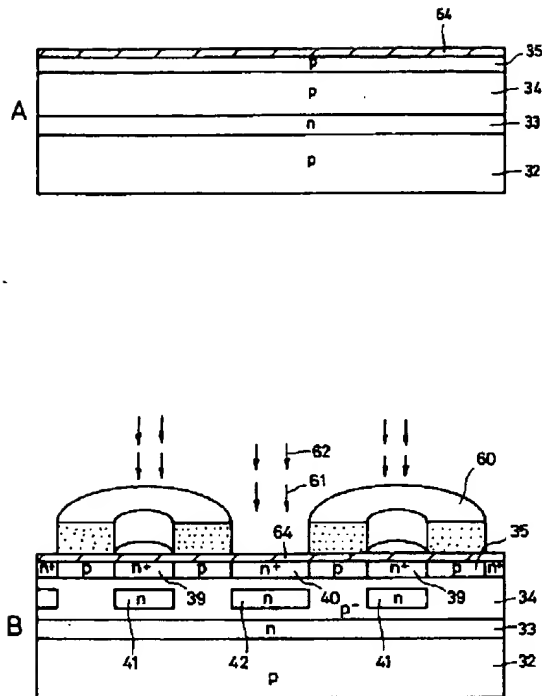
【図8】比較例に係る増幅型固体撮像素子の平面図である。

【図9】図8の画素MOSTランジスタ部分の断面図である。

【符号の説明】

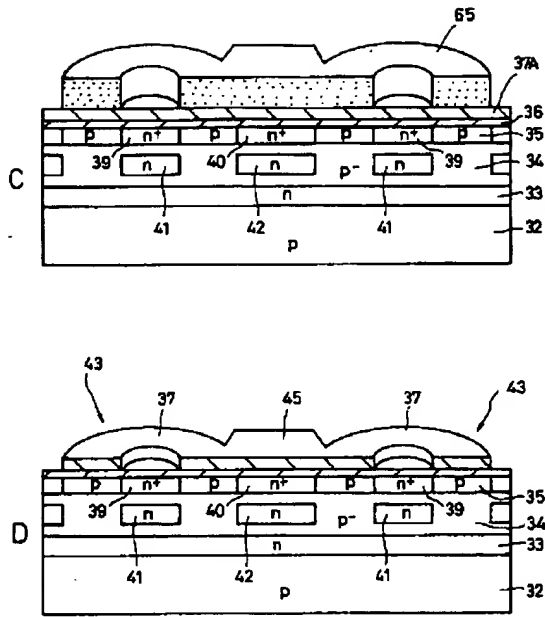
31 増幅型固体撮像素子、32 p型半導体基板、33 オーバーフローバリア領域、34 p型半導体ウェル領域、35 センサウェル領域、36 ゲート絶縁膜、37 ゲート電極、37A 多結晶シリコン膜、39 ソース領域、40 ドレイン領域、41、42 不純物濃度、43 画素MOSTランジスタ、45 画素間配線層、64 絶縁膜、60、65 レジスト層、61、62イオン注入の不純物、71、72 共通配線層

【図3】



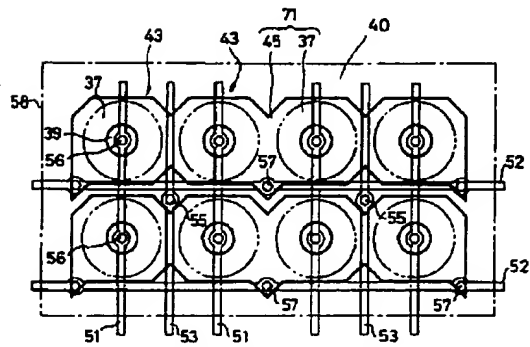
本実施例の製造工程図(その1)

【図4】



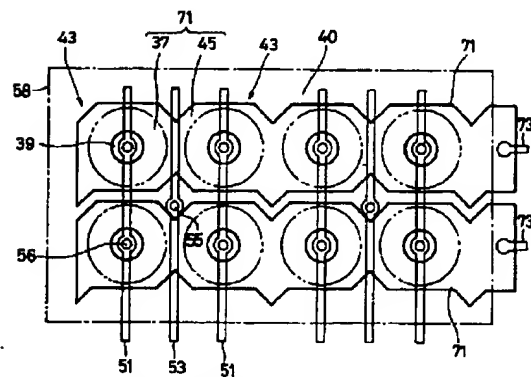
本実施例の製造工程図(その2)

【図5】



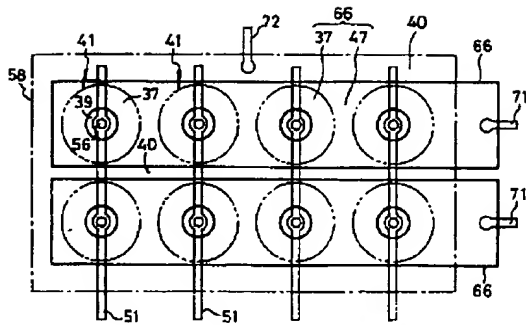
他の実施例の平面図

【図6】



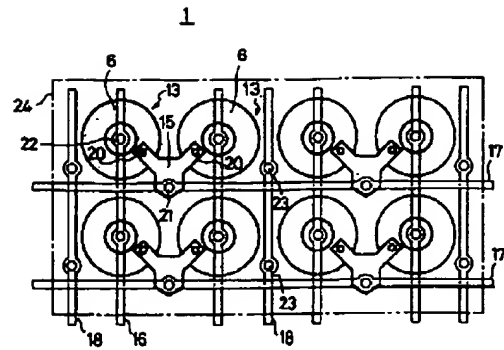
他の実施例の平面図

【図7】



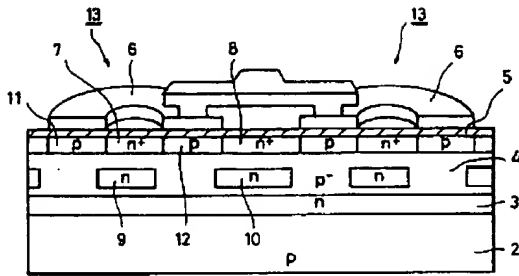
他の実施例の平面図

【図8】



比較例の平面図

【図9】



比較例の要部の断面図

PAT-NO: JP409260629A

DOCUMENT-IDENTIFIER: JP 09260629 A

TITLE: MANUFACTURE OF AMPLIFIED SOLID-STATE
IMAGE PICKUP
ELEMENT

PUBN-DATE: October 3, 1997

INVENTOR-INFORMATION:

NAME

ABE, HIDEJI

YAMANE, JUNJI

ASSIGNEE-INFORMATION:

NAME

SONY CORP

COUNTRY

N/A

APPL-NO: JP08070462

APPL-DATE: March 26, 1996

INT-CL (IPC): H01L027/146, H01L031/10

ABSTRACT:

PROBLEM TO BE SOLVED: To contrive the simplification of a wiring structure in a pixel region and an increase in the uniformity of the pixel characteristics of an amplified solid-state image pickup element.

SOLUTION: Before the gate electrodes are formed, source and drain regions 39 and 40 and impurity regions 41 and 42, which are respectively positioned under the regions 39 and 40, are formed in a self-alignment manner by an ion implantation, using the same mask and after that, the gate

electrodes and a
wiring layer 45, which links the fellow gate electrodes to
each other, are
formed by patterning the same conductive layer. Other
wiring is connected to
this wiring layer 45, located outside of a channel region.

COPYRIGHT: (C)1997,JPO